

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-324381

(43) 公開日 平成4年(1992)11月13日

(51) Int. Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 0 6 F 11/22	3 6 0 B	9072-5B		
H 0 3 K 17/16	L	9184-5J		
		6912-2G	G 0 1 R 31/28	R
		8941-5J	H 0 3 K 19/00	1 0 1 M
審査請求 未請求 請求項の数6(全12頁) 最終頁に続く				

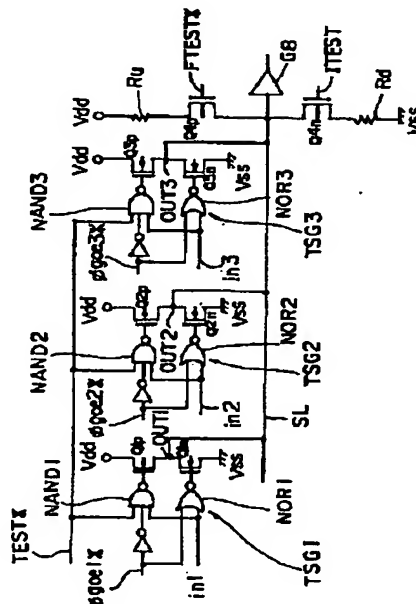
(21) 出願番号	特願平3-119080	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成3年(1991)4月24日	(72) 発明者	高橋 敏郎 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74) 代理人	井理士 玉村 静世

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 トライステート出力回路の制御信号形成論理などに対するファンクションテストの信頼性を高める。

【構成】 トライステート出力回路TSG1~TSG3は、これに入力されるテスト信号TEST\*のローレベルによってMOSFETQ1pをカット・オフして電源端子Vddから信号線SLに至る出力用電流経路を強制的に遮断するための論理を有し、斯る出力用電流経路の強制遮断状態において、プルアップ抵抗Ruを信号線SLに接続する。このファンクションテストモード状態において、信号線SLのレベルは、論理1又は論理0にされ、2値の出力を採り得るセレクトと等価的な動作が行われ、3値出力を採り得るトライステート出力回路は高出力インピーダンス状態を生じない。



1

## 【特許請求の範囲】

【請求項1】 第1の制御信号の論理レベルに応じて高出力インピーダンス状態を採り得ると共に、出力端子が所定の信号線に共通接続される複数のトライステート出力回路を含む半導体集積回路であって、前記トライステート出力回路は、これに入力される第2の制御信号の所定レベルに従って所定の何れか一方の電源端子から出力端子に至る出力用電流経路を強制的に遮断するためのトランジスタを含み、前記出力用電流経路の強制遮断状態において、前記所定の何れか一方の電源端子から前記所定の信号線に接続する第1の電流経路を形成可能な第1の手段を設けて、成るものであることを特徴とする半導体集積回路。

【請求項2】 前記第1の手段は、選択的に前記第1の電流経路を形成するための第1のスイッチ素子を含み、他方の電源端子から前記所定の信号線に接続可能な第2の電流経路を形成するための第2の手段を更に設け、この第2の手段は、前記出力用電流経路の強制遮断状態において、前記第1のスイッチ素子とは相補的にスイッチ制御される第2のスイッチ素子を含む、ものであることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記第2の制御信号による前記出力用電流経路の遮断状態において、前記第1のスイッチ素子と第2のスイッチ素子とを、前記第2の制御信号及び第3の制御信号によって相補的にスイッチ制御する論理を更に設けて成るものであることを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記トライステート出力回路は、前記第1の制御信号並びに入力信号がその出力を論理1に決定するための入力条件において、前記第2の制御信号の所定レベルと前記トランジスタにより、トライステート出力回路の出力を高出力インピーダンス状態に強制する論理を有し、前記第2の制御信号による出力強制状態において前記所定の信号線に接続するプルアップ抵抗を設け、前記複数のトライステート出力回路、所定の信号線、及び前記プルアップ抵抗が、前記第2の制御信号の所定レベルにより等価的にOR-AND回路構成のセレクト回路として機能されるものであることを特徴とする請求項1記載の半導体集積回路。

【請求項5】 前記トライステート出力回路は、前記第1の制御信号並びに入力信号がその出力を論理0に決定するための入力条件において、前記第2の制御信号の所定レベルと前記トランジスタにより、トライステート出力回路の出力を高出力インピーダンス状態に強制する論理を有し、前記第2の制御信号による出力強制状態において前記所定の信号線に接続するプルダウン抵抗を設け、前記複数のトライステート出力回路、所定の信号線、及び前記プルダウン抵抗が、前記第2の制御信号の所定レベルにより等価的にAND-OR回路構成のセレクト回路として機能されるものであることを特徴とする請求

2

項1記載の半導体集積回路。

【請求項6】 前記信号線は、マイクロコンピュータの内部バスを構成するものであることを特徴とする請求項1乃至5の何れか1項記載の半導体集積回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、トライステートゲートなどのトライステート出力回路を含む半導体集積回路、さらにはそれにおける診断容易化技術に関し、例えばゲートアレイ形式の各種半導体集積回路やASIC（アプリケーション・スペシフィック・インテグレートッド・サーキット）形式のマイクロコンピュータなどに適用して有効な技術に関する。

【0002】

【従来の技術】 論理規模増大の一途を辿るマイクロコンピュータのような半導体集積回路に対する診断容易化技術としてスキャンバス方式がある。これは、多数の論理ゲートを外部端子を通して効率よく診断可能にするために、試験データの入出力モードを半導体集積回路の通常動作モードとを別に設けておき、内部レジスタに試験データを容易に入出力できるような構成を予め半導体集積回路に設けておくものである。例えば半導体集積回路内部の各フリップフロップにシフトレジスタとしての機能を付加してスキャンバスを構成したり、フリップフロップにアドレスを割当てて所要の一群のフリップフロップにデータの入出力を行えるようなスキャンバスを構成しておく。斯るスキャンバス構成において、複雑な順序回路のテストは組合せ回路に対するテストに帰着され、所要のノードが論理0又は論理1に固定される故障を仮定して全ノードの仮定故障を所定の故障検出率で発見できるようなテストパターンを半導体集積回路に与え、そのときの出力パターンを期待値パターンと比較することによって故障を発見する。

【0003】 尚、スキャンバス方式について記載された文献の例としては日経マグロウヒル社発行の「日経エレクトロニクス（1986年7月28日発行の第400号）」第301頁乃至第322頁がある。

【0004】

【発明が解決しようとする課題】 ところで半導体集積回路においてセレクト論理をトライステートゲートを採用して構成する場合、当該トライステートゲートは、3値出力、即ち、論理1及び論理0の他に高出力インピーダンス状態を採るため、従来のスキャンバス構成において所要ノードが論理0又は論理1に固定される故障を仮定して行われるテストでは、特定ノードの高出力インピーダンス状態を検出することができないため、トライステートゲートが含まれる場合には特に当該ゲートのゲート出力インピーダンス信号の論理に対する故障検出率が著しく低下するという問題点のあることが本発明者によって明らかにされた。

【0005】例えば、図11に示されるように3個のトリステストゲートTSG11~TSG13の出力端子が信号線SLに共通接続されている論理を想定する。 $\phi goe11 \sim \phi goe13$ はトリステストゲートTSG11~TSG13に供給されるゲート出力イネーブル信号合、 $in11 \sim in13$ はトリステストゲートTSG11~TSG13の入力信号である。例えばこの構成において、 $\phi goe11 = \text{論理1}$ 、 $\phi goe12 = \text{論理0}$ 、 $\phi goe13 = \text{論理1}$ のとき、トリステストゲートTSG11、TSG13の出力は高インピーダンス状態にされ、トリステストゲートTSG12の出力動作が選択されて信号 $in12$ が信号線SLに与えられる。

【0006】ゲート出力イネーブル信号 $\phi goe11 \sim \phi goe13$ は様々な論理によって形成され、例えばアンド(AND)ゲートのような論理ゲートG1~G5はゲート出力イネーブル信号 $\phi goe11$ を形成する論理回路の一例である。この論理において、ゲートG2の出力ノードNg2が故障により論理0に固定される場合を想定する。例えばゲートG1~G4、G6の全ての入力を論理1に設定したとき、当該故障によりゲート出力イネーブル信号 $\phi goe13$ は論理0を採り、仮に該ノードNg2に故障がなければ論理1を採る。このときゲート出力イネーブル信号 $\phi goe13$ は半導体集積回路の外部から直接観測することができないため、ゲートG8を通してノードNg8で観測せざるを得ない。しかしながら、トリステストゲートTSG13の高出力インピーダンス状態は外から観測することができない。例えば、このとき $\phi goe11 = \text{論理1}$ 、 $\phi goe12 = \text{論理1}$ 、 $in13 = \text{論理1}$ に設定すると、前記ノードNg2に故障があれば $\phi goe13 = \text{論理0}$ となってトリステストゲートTSG13がオンになり、ノードNg8は信号 $in13$ の論理レベルに応じて論理1にされる。一方前記ノードNg2に故障がないときはトリステストゲートTSG13の出力も高インピーダンス状態にされるが、ノードNg8の論理レベルはそれ以前の回路動作に依存して決定されている信号線SLの充放電状態に応じて論理0或いは論理1の何れかの状態を採ることになり、偶然に論理1を採れば故障がある場合と区別がつかなくなる。

【0007】また、図11のような回路構成がCMOS(相補型MOS)型の半導体集積回路に含まれるとき、同該半導体集積回路のスタンバイ電流を測定する際には、信号線SLを共有するトリステストゲートTSG11~TSG13の何れか1つだけを動作可能な状態にして、ゲートG8の入力が不確定な中間レベルにならないようにすると共に、一方のトリステストゲートから他のトリステストゲートに電流が流れ込んだりしないようにすることが必要になり、これを全ての論理ゲートに対して満足させるための特別な動作パターンを作成す

るには手間がかかってしまう。

【0008】そこで、本発明者はトリステストゲートをセクタ回路に置き換える構成について検討した。例えば、図11のトリステストゲートTSG11~TSG13は図12に示されるようにオアゲートOR11~OR13とアンドゲートAND11から成るセクタ回路に置き換えることができる。図12の構成において、例えば $\phi goe11 = \text{論理1}$ 、 $\phi goe12 = \text{論理0}$ 、 $\phi goe13 = \text{論理1}$ のとき、オアゲートOR12の入力 $in12$ が選択されて該信号 $in12$ と同じ論理の信号がゲートG8から出力される。この論理においてはゲートG1~G7によって構成されるような信号 $\phi goe13$ 生成論理に対してその故障を確実に把握することができる。例えば、ゲートG2の出力ノードNg2が故障により論理0に固定される場合を想定すると、ゲートG1~G4、G6の全ての入力を論理1に設定すれば、当該故障によりゲート出力イネーブル信号 $\phi goe13$ は論理0を採り、該ノードNg2に故障がなければ論理1を採る。このとき $\phi goe11 = \text{論理1}$ 、 $\phi goe12 = \text{論理1}$ 、 $in13 = \text{論理0}$ に設定すると、ノードNg2に前記論理0故障があれば $\phi goe13 = \text{論理0}$ となってノードNg8も該信号 $\phi goe13$ の論理レベルに応じて論理0にされる。一方前記ノードNg2に故障がないときは、その信号 $\phi goe13 = \text{論理1}$ に応じてノードNg8の論理レベルも論理1にされる。

【0009】このように図12のオアゲートOR11~OR13及びアンドゲートAND11で成るセクタを図11のトリステストゲートTSG11~TSG13に代えて採用することにより制御信号 $\phi goe11$ 、 $\phi goe12$ 、 $\phi goe13$ 生成論理の故障に対しても充分なテストを行うことができる。しかしながらトリステストゲートに代えて図12のようなセクタを採用する場合に、半導体集積回路の通常動作においても当該セクタを利用しなければならず、信号伝達経路に介在するゲートの段数が増える結果、動作遅延が大きくなって通常動作に支障を来すということが本発明者によって明らかにされた。

【0010】本発明の目的は、トリステスト出力回路の制御信号形成論理などに対するファンクションテストの信頼性若しくは故障検出率を高めることができる半導体集積回路を提供することにある。

【0011】本発明の別の目的は、通常動作速度を犠牲にすることなくトリステスト出力回路の制御信号形成論理などに対するファンクションテストの信頼性を高めることができる半導体集積回路を提供することにある。

【0012】本発明の更に別の目的は、容易にスタンバイ電流を観測することができる半導体集積回路を提供することにある。

【0013】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるで

5

あろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】すなわち、ゲート出力インピーダンス信号のような第1の制御信号の論理レベルに応じて高出力インピーダンス状態を採り得ると共に、出力端子が所定の信号線に共通接続される複数のトライステート出力回路を含む半導体集積回路において、前記トライステート出力回路には、これに入力されるテスト信号のような第2の制御信号の所定レベルに従って所定の何れか一方の電源端子から出力端子に至る出力用電流経路を強制的に遮断するためのトランジスタを含め、前記出力用電流経路の強制遮断状態において、前記所定の何れか一方の電源端子から前記所定の信号線に接続する第1の電流経路を形成可能な第1の手段を設けるものである。

【0016】スタンバイ電流の測定を考慮する場合に、トライステート出力回路の動作態様の如何に拘らず前記所定の信号線に電流が流れない状態を選択的に達成することが望ましく、そのためには、前記第1の手段に、選択的に前記第1の電流経路を形成するための第1のスイッチ素子を含め、また、他方の電源端子から前記所定の信号線に接続可能な第2の電流経路を形成するための第2の手段を更に設け、この第2の手段には、前記出力用電流経路の強制遮断状態において、前記第1のスイッチ素子とは相補的にスイッチ制御される第2のスイッチ素子を含めればよい。

【0017】前記出力用電流経路の遮断制御と共に第1のスイッチ素子と第2のスイッチ素子の制御を同期的に行うための外部制御信号数を減らすには、前記第2の制御信号による前記出力用電流経路の遮断状態において、前記第1のスイッチ素子と第2のスイッチ素子とを、前記第2の制御信号及び第3の制御信号によって相補的にスイッチ制御する論理を更に設けることが望ましい。

【0018】前記トライステート出力回路の出力論理値を決定するための入力条件に着目して本発明を別の観点から説明すると、先ず第1の態様としては、前記トライステート出力回路は、前記第1の制御信号並びに入力信号がその出力を論理1に決定するための入力条件において、前記第2の制御信号の所定レベルと前記トランジスタにより、トライステート出力回路の出力を高出力インピーダンス状態に強制する論理を有し、前記第2の制御信号による出力強制状態において前記所定の信号線に接続するプルアップ抵抗を設け、前記複数のトライステート出力回路、所定の信号線、及び前記プルアップ抵抗を、前記第2の制御信号の所定レベルにより等価的にOR-AND回路構成のセレクト回路として機能させるようにする。

【0019】また、前記入力条件に着目した第2の態様

6

としては、記トライステート出力回路は、前記第1の制御信号並びに入力信号がその出力を論理0に決定するための入力条件において、前記第2の制御信号の所定レベルと前記トランジスタにより、トライステート出力回路の出力を高出力インピーダンス状態に強制する論理を有し、前記第2の制御信号による出力強制状態において前記所定の信号線に接続するプルダウン抵抗を設け、前記複数のトライステート出力回路、所定の信号線、及び前記プルダウン抵抗を、前記第2の制御信号の所定レベルにより等価的にAND-OR回路構成のセレクト回路として機能させるものである。

【0020】

【作用】上記した手段によれば、一方の電源端子側の出力用電流経路の強制遮断状態では、遮断された電源端子側からの電流供給はスイッチ素子や抵抗素子を含む第1の手段を介して与えられる。したがって、ファンクションテストモードにおいて、トライステート出力回路の出力が共通接続される信号線のレベルは、トライステート出力回路の動作態様がどのようなであっても論理1又は論理0にされ、2値の出力（論理1、論理0）を採り得るセレクトと等価的な動作が行われる。これにより、3値出力を採り得るトライステート出力回路はファンクションテストモードにおいて高出力インピーダンス状態を生ぜず、トライステート出力回路を含む半導体集積回路のファンクションテストの信頼性を高めるように作用する。

【0021】また、一方の電源端子側の出力用電流経路の強制遮断状態において、それと同じ電源端子側に通ずる第2の手段を第1の手段に代えて活性化することにより、前記信号線には電流が流れない状態が強制的に達成されて、同信号線は論理1又は論理0の何れか一方に固定される。この状態でスタンバイ電流の測定を行えば、トライステート出力回路の出力論理値が競合して不所望な電流が流れたり、信号線の途中に配置されたドライバの入力が中間レベルになって不所望な貫通電流が流れたりせず、高い信頼性を以てスタンバイ電流の観測を可能にする。

【0022】トライステート出力回路を3値出力可能な通常モードで動作させるとき、第1及び第2の手段は前記信号線から切り放され、トライステート出力回路は本来の3値出力動作論理に従った動作速度を以てセレクト機能を実現する。

【0023】

【実施例】図1にはトライステート出力回路（以下単にトライステートゲートとも記す）のインピーダンス信号がローインピーダンスとされる場合の本発明の一実施例が示される。同図に示される回路は、シリコンのような1個の半導体基板に形成された半導体集積回路に含まれ、1本の信号線SLに出力端子が共通接続された3個のトライステートゲートTSG1～TSG3が代表的に示される。

【0024】前記トリステートゲートTSG1は、特に制限されないが、一対の電源端子VddとVssとの間に直列接続されたPチャンネル型MOSFETQ1pとNチャンネル型MOSFETQ1nから成るCMOSインバータを出力段に有し、同出力段を制御するための論理としてナンドゲートNAND1、ノアゲートNOR1、及びインバータINV1を有する。前記ナンドゲートNAND1には、第2の制御信号としてのテスト信号TEST\*（記号\*が付された信号はローインペブルの信号であることを意味する）、トリステートゲートの出力インペブル信号とされるような第1の制御信号としての制御信号 $\phi_{goe1}$ \*の反転信号、及び入力信号in1が供給され、その出力は前記MOSFETQ1pのゲートに供給される。前記ノアゲートNOR1には前記制御信号 $\phi_{goe1}$ \*と入力信号in1が供給され、その出力は前記MOSFETQ1nのゲートに供給される。その他のトリステートゲートTSG2、TSG3も同様に構成されている。即ち、トリステートゲートTSG2は、Pチャンネル型MOSFETQ2p、Nチャンネル型MOSFETQ2n、ナンドゲートNAND2、ノアゲートNOR2、インバータINV2によって構成され、テスト信号TEST\*、制御信号 $\phi_{goe2}$ \*、入力信号in2が与えられる。トリステートゲートTSG3は、Pチャンネル型MOSFETQ3p、Nチャンネル型MOSFETQ3n、ナンドゲートNAND3、ノアゲートNOR3、インバータINV3によって構成され、テスト信号TEST\*、制御信号 $\phi_{goe3}$ \*、及び入力信号in3が与えられる。

【0025】前記トリステートゲートTSG1乃至TSG3の出力OUT1乃至OUT3は所定の信号線SLに共通接続される。同信号線SLには、テストモードで利用されるプルアップ抵抗RuがPチャンネル型MOSFETQ4pを介して電源端子Vddに結合されると共に、プルダウン抵抗RdがNチャンネル型MOSFET

[表1]

TEST*	in1	$\phi_{goe1}$	OUT1
H	H	L	H
	L		L
	H	H	Hiz
	L		

Q4nを介して電源端子Vss（接地端子）に結合される。前記MOSFETQ4pは、ファンクションテスト信号FTEST\*のローレベルによって指示されるファンクションテストモードにおいてオン状態にされ、抵抗Ruを介して電源端子Vddから信号線SLに接続する電流経路（本実施例においては第1の電流経路）を形成する。前記MOSFETQ4nは、スタンバイ電流テスト信号ITESTのハイレベルによって指示されるスタンバイ電流テストモードにおいてオン状態にされ、抵抗Rdを介して電源端子Vssから信号線SLに接続する電流経路（本実施例においては第2の電流経路）を形成する。

【0026】ここで、本実施例の半導体集積回路の動作モードは、半導体集積回路本来の動作モードである通常動作モードと、テストモードに大別され、テストモードは、ファンクションテストモードとスタンバイ電流テストモードを含む。ファンクションテストモードは、テスト信号TEST\*とファンクションテスト信号FTEST\*とのローレベルによって指示される。スタンバイ電流テストモードは、テスト信号TEST\*のローレベルとスタンバイ電流テスト信号ITESTのハイレベルによって指示される。

【0027】下記表1にはトリステートゲートの動作態様がトリステートゲートTSG1を代表として示される。

【0028】テスト信号TEST\*のハイレベル（H）によって指示される通常モードにおいて、制御信号 $\phi_{goe1}$ \*がハイレベルにされるときは当該トリステートゲートTSG1は高出力インピーダンス状態（Hiz）にされる。通常モードにおいて制御信号 $\phi_{goe1}$ \*がローレベル（L）にされると当該トリステートゲートTSG1は入力信号in1のレベルに応じた信号を出力可能にされる。

【0029】

(6)

特開平4-324381

9

10

(テストモード)   L	H	L	H i z
	L		L
	H	H	H i z
	L		H i z

【0030】テスト信号TEST\*のローレベルによって指示されるテストモード（ファンクションテストモード、スタンバイ電流テストモード）では、出力用Pチャンネル型MOSFETQ1pのゲート電位を制御するナンドゲートNAND1の出力がハイレベル（本実施例では論理1）に固定されるため、当該MOSFETQ1pは常にオフ状態にされ、電源端子Vddから出力端子OUTに至る出力用電流経路を遮断する。したがって、入力信号in1と制御信号φgoe1\*が共にローレベル（論理0）の場合にのみ前記出力用Nチャンネル型MOSFETQ1nがオン状態にされて出力信号OUT1をローレベルとし、それ以外の入力条件では出力OUT1が高出力インピーダンス状態にされる。

【0031】図2には図1においてファンクションテストモードが設定された等価回路が示される。当該動作モードにおいてテスト信号TEST\*及びファンクションテスト信号FTEST\*は共にローレベルにされ、信号線SLは抵抗Ruによってプルアップされ、プルアップされた信号線SLの状態は、ナンドゲートNAND1乃至NAND3の出力だけで決定されるようになる。したがって、ファンクションテストモードにおいてトライステートゲートTSG1乃至TSG3の出力OUT1乃至OUT3の全てが高インピーダンス状態のとき、換言すれば、全てのMOSFETQ1n乃至Q3nがオフ状態にされるとき、信号線SLはプルアップ抵抗Ruの作用でハイレベルとされ、トライステートゲートの出力が一つでもローレベルにされると信号線SLのレベルはローレベルにされる。即ち、図2の回路は、図3に示されるオアゲートOR1乃至OR3とアンドゲートAND1とによって構成されるOR-AND型のセレクトと等価の機能を有する。これにより、ファンクションテストモードにおいて信号線SLのレベルは制御信号φgoe1\*乃至φgoe3\*と入力信号in1乃至in3との論理レベル如何に拘らず必ず論理1又は論理0の何れか一方に固定され、ファンクションテストにおいて検出困難なトライステートゲートの高インピーダンス状態を生じさせないようにすることができるから、ファンクションテストの信頼性を高めることができる。尚、ファンクションテストにおいて、プルアップ抵抗Ruで信号線SLのレベルをハイレベルに引き上げるのには時間がかかるが、プルアップ抵抗Ruはテスト専用のため実動作モ-

ドではそのような点は一切問題にならない。

【0032】スタンバイ電流テストモードにおいては、前記テスト信号TEST\*がローレベルにされると共にスタンバイ電流テスト信号ITWSTがハイレベルにされる。これにより、図4の等価回路に示されるように、信号線SLにプルダウン抵抗Rdが接続されて、当該信号線SLはローレベルに固定される。即ち、ノアゲートNOR1乃至NOR3の出力状態がどのようにされても、電源端子Vddから信号線SLに電流が流れる経路は一切強制的に遮断され、換言すれば、当該動作モードにおいてトライステートゲートTSG1乃至TSG3の出力がハイレベルにされることは一切ない。これにより、信号線SLに接続するドライバ若しくはゲートG8の入力が中間レベルになって貫通電流が流れることはなく、また、相互に出力論理値の異なる一方のトライステートゲートから他方のトライステートゲートに電流が流れ込む事態も一切発生しない。したがって、入力信号や制御信号の状態如何では一切電流が流れない状態を形成することができるから、デバイスの欠陥によって流れる電流を観測したりするというような、スタンバイ電流の測定を、特別なテストパターンを印加することなく単にスタンバイ電流テストモードを設定するだけで容易且つ確実に行うことができる。

【0033】図5には前記ファンクションテスト信号FTEST\*とスタンバイ電流テスト信号ITESTとを生成する論理の一例が示される。この論理はナンドゲートNAND10とノアゲートNOR10及びインバータINV10から構成され、テスト信号TEST\*がハイレベルにされる通常動作モードにおいてファンクションテスト信号FTEST\*をハイレベル、そしてスタンバイ電流テスト信号ITESTをローレベルとして、双方のMOSFETQ4p、Q4nをカット・オフ状態に制御する。テスト信号TEST\*がローレベルにされるテストモードにおいて、制御信号F/I\*がハイレベルにされると、プルアップ抵抗Ruが信号線SLに接続してファンクションテストモードとされる。制御信号F/I\*がローレベルにされると、プルダウン抵抗Rdが信号線SLに接続してスタンバイ電流テストモードとされる。この論理により、制御信号FTEST\*及びITESTを直接外部から受ける場合に比べて外部端子の数を1個減らすことができるようになる。

11

【0034】図6にはイネーブルレベルがハイレベルとされるトライステートゲートを用いる場合の実施例が示される。この実施例においては、1本の信号線SLに出力端子が共通接続された3個のトライステート出力回路TSGC4~TSG6が代表的に示される。この実施例は、前記実施例に対し、テストモードにおいてトライステートゲートTSG4乃至TSG6の出力用Nチャンネル型MOSFETをカット・オフし、斯る状態において、ファンクションテストモードではプルダウン抵抗Rdを信号線SLに接続し、また、スタンバイ電流テストモードでプルアップ抵抗Ruを信号線SLに接続するように構成される。

【0035】前記トライステートゲートTSG4は、前記実施例同様に、一対の電源端子VddとVssとの間に直列接続されたPチャンネル型MOSFETQ1pとNチャンネル型MOSFETQ1nから成るCMOSインバータを出力段に有するが、同出力段を制御するために、ナンドゲートNAND4、ノアゲートNOR4、及びインバータINV4を備える。前記ノアゲートNOR4にはテスト信号TEST、トライステートゲートの出力イネーブル信号とされるような第1の制御信号としての制御信号φgoe1の反転信号、及び入力信号in1が供給され、その出力は前記MOSFETQ1nのゲートに供給される。前記ナンドゲートNAND4には前記制御信号φgoe1と入力信号in1が供給され、その出力は前記MOSFETQ1pのゲートに供給される。その他のトライステートゲートTSG5、TSG6も同様に構成されている。即ち、トライステートゲートTSG5は、Pチャンネル型MOSFETQ2p、Nチャンネル型MOSFETQ2n、ナンドゲートNAND5、ノアゲートNOR5、インバータINV5によって構成され、テスト信号TEST、制御信号φgoe2、入力信号in2が与えられる。トライステートゲートTSG6は、Pチャンネル型MOSFETQ3p、Nチャンネル型MOSFETQ3n、ナンドゲートNAND6、ノアゲートNOR6、インバータINV6によって構成され、テスト信号TEST、制御信号φgoe3、入力信号in3が与えられる。

【0036】前記トライステートゲートTSG4乃至TSG6の出力OUT4乃至OUT6は所定の信号線SLに共通接続される。同信号線SLには、テストモードで利用されるプルアップ抵抗RuがPチャンネル型MOSFETQ4pを介して電源端子Vddに結合されると共に、プルダウン抵抗RdがNチャンネル型MOSFETQ4nを介して電源端子Vssに結合される。前記MOSFETQ4nは、ファンクションテスト信号FTESTのハイレベルによって指示されるファンクションテストモードにおいてオン状態にされ、抵抗Rdを介して電源端子Vssから信号線SLに接続する電流経路を形成する。前記MOSFETQ4pは、スタンバイ電流テ

12

スト信号ITEST\*のローレベルによって指示されるスタンバイ電流テストモードにおいてオン状態にされ、抵抗Rpを介して電源端子Vddから信号線SLに接続する電流経路を形成する。

【0037】ここで、本実施例における動作モードは、半導体集積回路本来の動作モードである通常動作モードと、テストモードに大別され、テストモードは、ファンクションテストモードとスタンバイ電流テストモードを含む。ファンクションテストモードは、テスト信号TESTとファンクションテスト信号FTEST\*との双方がハイレベルにされることによって指示される。スタンバイ電流テストモードは、テスト信号TESTがハイレベルにされると共にスタンバイ電流テスト信号ITEST\*がローレベルにされることによって指示される。

【0038】テスト信号TESTのローレベルによって指示される通常モードにおいて、制御信号φgoe1がローレベルにされるときは当該トライステートゲートTSG4は高出カインピーダンス状態にされる。通常モードにおいて制御信号φgoe1がハイレベルにされると当該トライステートゲートTSG4は入力信号in1のレベルに応じた信号を出力可能にされる。

【0039】テスト信号TESTのハイレベルによって指示されるテストモード（ファンクションテストモード、スタンバイ電流テストモード）では、出力用Nチャンネル型MOSFETQ1nのゲート電位を制御するノアゲートNOR4の出力がローレベルに固定されるため、当該MOSFETQ1nは常にオフ状態にされ、電源端子Vssから出力端子OUTに至る出力用電流経路を遮断する。したがって、入力信号in1と制御信号φgoe1が共にハイレベルの場合にのみ前記出力用Pチャンネル型MOSFETQ1pがオン状態にされて出力信号OUT1をハイレベルとし、それ以外の入力条件では出力OUT1が高出カインピーダンス状態にされる。

【0040】図7には図6においてファンクションテストモードが設定された場合の等価回路が示される。当該動作モードにおいてテスト信号TEST及びファンクションテスト信号FTESTはハイレベルにされ、信号線SLは抵抗Rdによってプルダウンされ、プルダウンされた信号線SLの状態は、ナンドゲートNAND4乃至NAND6の出力だけで決定されるようになる。したがって、ファンクションテストモードにおいてトライステートゲートTSG4乃至TSG6の出力OUT4乃至OUT6の全てが高インピーダンス状態のとき、換言すれば、全てのMOSFETQ1p乃至Q3pがオフ状態にされるとき、信号線SLはプルダウン抵抗Rdの作用でローレベルとされ、トライステートゲートの出力が一つでもハイレベルにされると信号線SLのレベルはハイレベルにされる。即ち、図7の回路は、図8に示されるアンドゲートAND2乃至AND4とオアゲートOR4によって構成されるAND-OR型のセレクトと等価の機



13

能を有する。これにより、ファンクションテストモードにおいて信号線SLのレベルは制御信号 $\phi_{goe1}$ 乃至 $\phi_{goe3}$ と入力信号 $i_{n1}$ 乃至 $i_{n3}$ との論理レベル如何に拘らず必ず論理1又は論理0の何れか一方に固定され、ファンクションテストにおいて検出困難なトライステートゲートの高インピーダンス状態を生じさせないようにすることができるから、ファンクションテストの信頼性を高めることができる。尚、ファンクションテストにおいて、プルダウン抵抗 $R_d$ で信号線SLのレベルをローレベルに引き下げるのには時間がかかるが、プル

ダウン抵抗 $R_u$ はテスト専用であるため実動作モードではそのような点は一切問題にならない。

【0041】スタンバイ電流テストモードにおいては、前記テスト信号EESTがハイレベルにされると共にスタンバイ電流テスト信号ITEST\*がローレベルにされる。これにより、信号線SLにプルアップ抵抗 $R_u$ が接続されて、当該信号線SLはハイレベルに固定される。即ち、ナンドゲートNAND4乃至NAND6の出力状態がどのようにされても、信号線SLから接地端子のような電源端子 $V_{ss}$ に電流が流れる経路は一切強制的に遮断され、換言すれば、当該動作モードにおいてト

ライステートゲートTSG4乃至TSG6の出力がローレベルにされることは一切ない。これにより、信号線SLに接続するドライバ若しくはゲートG8の入力が中間レベルになって貫通電流が流れることはなく、また、相互に出力論理値の異なる一方のトライステートゲートから他方のトライステートゲートに電流が流れ込む事態もいっさい発生しない。したがって、入力信号や制御信号の状態如何では一切電流が流れない状態を形成することができるから、デバイス的な欠陥によって流れる電流を

観測したりするというような、スタンバイ電流の測定を、特別なテストパターンを印加することなく単にスタンバイ電流テストモードを設定するだけで容易且つ確実に行うことができる。

【0042】図9には図1又は図6に示される回路を適用したマイクロコンピュータの一例が示される。このマイクロコンピュータは命令を解釈して制御信号を生成する命令制御部ICONTと該命令制御部ICONTで生成される制御信号に従って命令を実行する実行部EXECを含む。命令制御部ICONTは、特に制限されないが、ハードワイアードロジックにより各部の制御信号を生成するものであり、図示しないプログラムカウンタの値に基づいてプログラムメモリから読出された命令をフェッチする命令レジスタIREGを有し、これが保持する命令をコードを命令デコーダIDECで解釈することにより、命令実行に必要な制御信号を生成して、実行部EXECなどに供給する。

【0043】実行部EXECは、特に制限されないが、算術論理演算回路ALU、演算結果を一時的に保持したりするアキュムレータACC、複数の汎用レジスタG

14

R1~GR1、出力レジスタOR、入力レジスタIR、及びメモリMRY、入力選択回路ISEL1~ISEL3、及び出力選択回路OSEL1~OSEL3などが内部バスBUSに接続されて構成される。

【0044】図9において図1や図6に示されるような回路構成は入力選択回路ISEL1~ISEL3及び出力選択回路OSEL1~OSEL3として適用されている。入力選択回路ISEL1~ISEL3や出力選択回路OSEL1~OSEL3において前記ゲート出力カインープル信号 $\phi_{goe1}$ ~ $\phi_{goe3}$ などに対応されるような制御信号は命令デコーダIDECから出力され、或いはこれに基づいて生成される。

【0045】図9に示されるマイクロコンピュータなどのように、ASIC若しくはゲートアレイなどセミカスタム的な方式で形成される半導体集積回路は、部分的であったとしてもユーザによる論理設計に従って半導体集積回路を形成しなければならない。この性質上、ユーザによる設計回路にトライステートゲートが一切採用されないことは事実上考え難く、このような事情の元で形成される半導体集積回路において図1や図6に示されるテストのための回路構成を採用することは、半導体集積回路のテスト技術において不可欠であると考えられる。

【0046】図10にはトライステートゲートの別の実施例が示される。このトライステートゲートは一对の電源端子 $V_{dd}$ と $V_{ss}$ の間に3個のPチャンネル型MOSFET $Q_{10p}$ 乃至 $Q_{12p}$ と2個のNチャンネル型MOSFET $Q_{13n}$ 、 $Q_{14n}$ を直列配置して備え、前記MOSFET $Q_{12p}$ 、 $Q_{13n}$ には入力信号 $i_{n1}$ が与えられ、前記MOSFET $Q_{11p}$ 、 $Q_{14n}$ には制御信号 $\phi_{goe1}$ が与えられ、前記MOSFET $Q_{10p}$ にはテスト信号TESTが与えられる。テスト信号TESTのハイレベルによって指示されるテストモードにおいて、当該MOSFET $Q_{10p}$ はカット・オフ状態にされて、出力端子OUT1と電源端子 $V_{dd}$ を接続する出力用電流経路を遮断する。したがって、このトライステートゲートも図6に示されるようなトライステートゲートに置き換えることができ、図6に示されるトライステートゲートに比べて駆動能力が小さくなる点を除いて図6の構成と全く同様に作用する。

【0047】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0048】例えば、トライステートゲートの基本的な回路構成は図1、図6、及び図10に示されるものに限定されず、出力段をバイポーラトランジスタで構成する回路、出力段の制御をナンドゲートとノアゲート以外の論理ゲートで行う構成などに適宜変更することができる。また、トライステートゲートの出力が共通接続される信号線は中央処理装置内部のバス構成用信号配線に限



定されず、中央処理装置とその周辺回路を結合するためのモジュール間バスを構成する信号線などであってもよい。また、半導体集積回路はゲートアレイ形式やアプリケーションスペシフィック形式に限定されない。

【0049】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されるものではなく種々の半導体集積回路に広く適用することができる。本発明は、少なくともトリステート出力回路を含めたファンクションテストに有効な条件の半導体集積回路に広く適用することができる。

#### 【0050】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0051】すなわち、第2の制御信号などによって指示されるファンクションテストモードにおいて、トリステート出力回路の出力が共通接続される信号線のレベルは、トリステート出力回路の動作態様がどのようであっても論理1又は論理2にされ、2値出力を採り得るセクタと等価的な動作が行われることにより、3値出力を採り得るトリステート出力回路はファンクションテストモードにおいて高出カインピーダンス状態を生ぜず、トリステート出力回路を含む半導体集積回路の信頼性を高めることができるという効果がある。

【0052】ファンクションテストモードにおいてトリステート出力回路を、2値出力を採り得るセクタと等価に機能させるために、信号迂回のための特別な配線経路を必要とせず、また、当該テストモード専用の論理ゲートも必要とされないから、テストのための回路構成によるチップ占有面積を極めて小さくすることができる。

【0053】また、一方の電源端子側の出力用電流経路の強制遮断状態において、それと同じ電源端子側に通ずる第2の手段を第1の出段に代えて活性化することにより、前記信号線には電流が流れない状態が強制的に達成することができ、この状態でスタンバイ電流の測定を行えば、トリステート出力回路の出力論理値が競合して不所望な電流が流れたり、信号線の途中に配置されたドライバの入力が中間レベルになって不所望な貫通電流が流れたりせず、特別なテストパターンを印加することなく単にテストモードを設定するだけで簡単にスタンバイ電流を観測することができるという効果がある。

【0054】トリステート出力回路を3値出力可能な通常モードで動作させるとき、第1及び第2の手段は前記信号線から切り放され、トリステート出力回路は本来の3出力動作論理に従って機能するから、通常モードでの動作速度を犠牲にすることなく上記効果を得ることができる。

#### 【0055】

##### 【図面の簡単な説明】

【図1】図1はローイネーブルのトリステートゲートを適用した本発明の一実施例ブロック図である。

【図2】図2は図1のファンクションテストモードにおける等価回路図である。

【図3】図3は図2と等価なセクタ回路図である。

【図4】図4はスタンバイ電流テストモードにおける図1の等価回路図である。

10 【図5】図5はファンクションテストモード又はスタンバイ電流テストモードに応じて信号線をフルアップ又はプルダウンするための制御論理の一例回路図である。

【図6】図6はハイイネーブルのトリステートゲートを適用した本発明の別の実施例ブロック図である。

【図7】図7は図6のファンクションテストモードにおける等価回路図である。

【図8】図8は図7と等価なセクタ回路図である。

【図9】図9は図1又は図6の回路を適用したマイクロコンピュータの一例ブロック図である。

20 【図10】図10はトリステートゲートの別の例を示す回路図である。

【図11】図11はトリステートゲートを利用した従来の一般的な構成の説明図である。

【図12】図12は本発明者の検討に係る図11と等価なOR-AND構成のセクタ回路の説明図である。

##### 【符号の説明】

TSG1乃至TSG6 トリステートゲート  
SL 信号線  
Q1p, Q2p, Q3p 出力用電流経路構成MOSFET  
Q1n, Q2n, Q3n 出力用電流経路構成MOSFET  
TEST\*, TEST テスト信号(第2の制御信号)  
φgoe1\*乃至φgoe3\* ゲート出力イネーブル信号(第1の制御信号)  
φgoe1乃至φgoe3 ゲート出力イネーブル信号(第1の制御信号)  
in1乃至in3 入力信号  
Ru プルアップ抵抗  
Rd プルダウン抵抗  
Q4p, Q4n MOSFET  
FTEST\*, FTEST ファンクションテスト信号  
ITESR, ITEST\* スタンバイ電流テスト信号  
OR1乃至OR4 オアゲート  
AND1乃至AND4 アンドゲート  
NAND10 ナンドゲート  
50 NOR10 ノアゲート

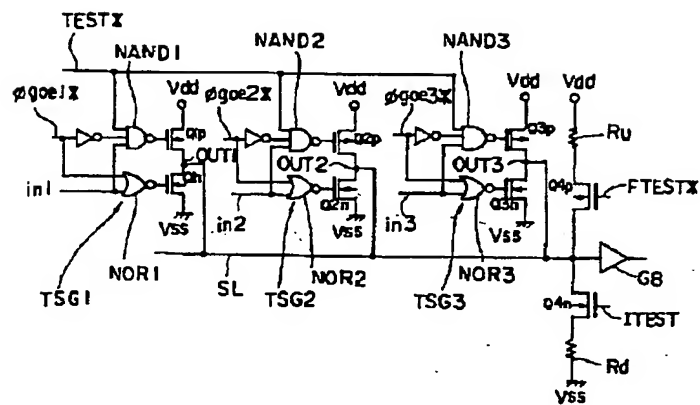
(10)

特開平4-324381

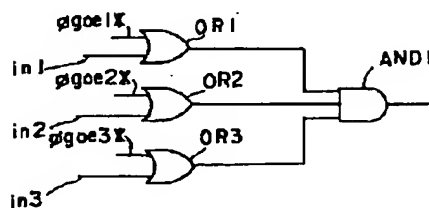
INV10 インバータ

F/I\* 制御信号 (第3の制御信号)

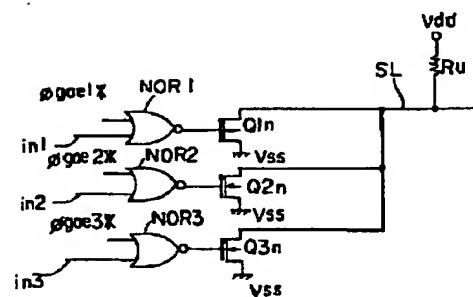
【図1】



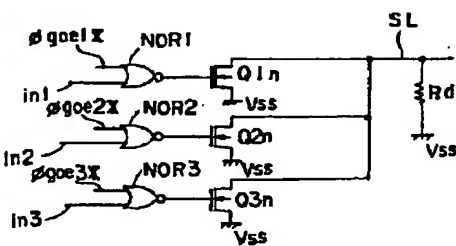
【図3】



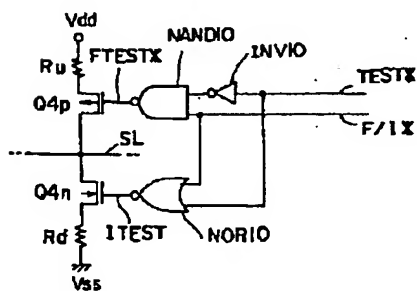
【図2】



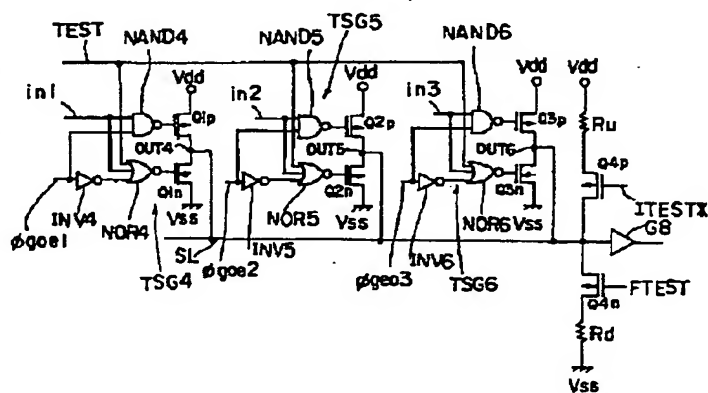
【図4】



【図5】



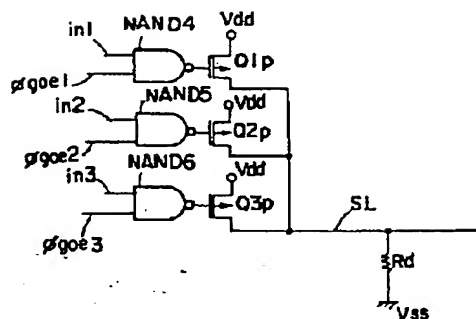
【図6】



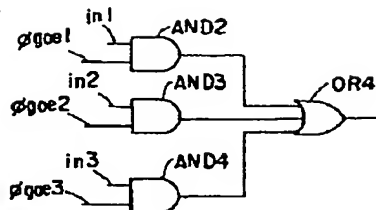
(11)

特開平4-324381

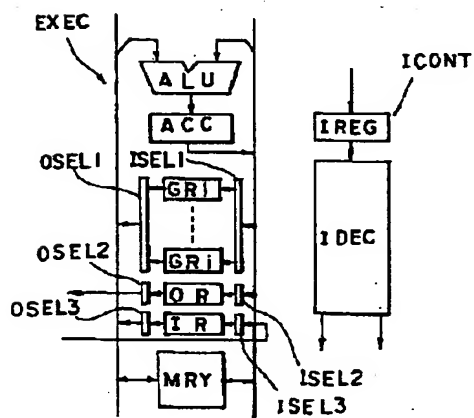
【図7】



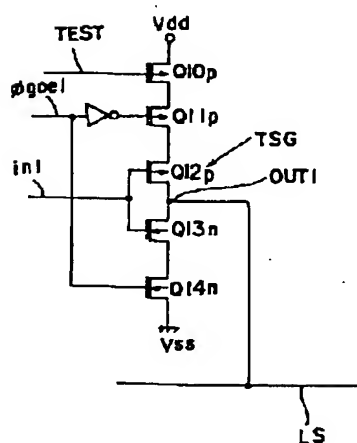
【図8】



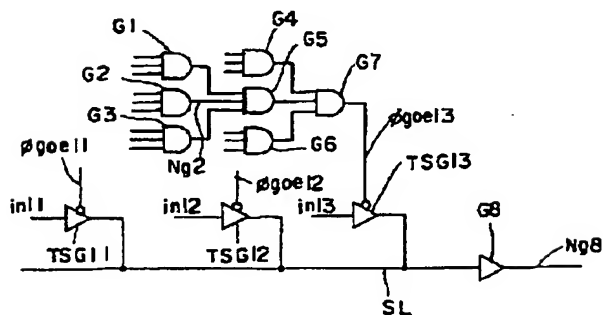
【図9】



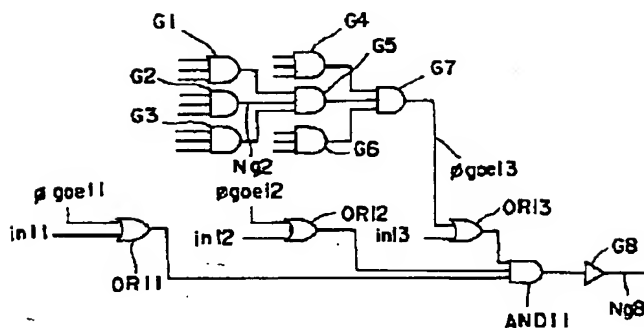
【図10】



【図11】



【図 1 2】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 19/0175